

(43)公開日 平成13年4月6日(2001. 4. 6)

$$Z$$

弁理士 岩橋 文雄 (外2名)

**BEST AVAILABLE COPY**

## 【特許請求の範囲】

【請求項 1】 サンプリングクロック周波数を大きく変えることなく NTSC、PAL 方式等の YC 分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路。

【請求項 2】 コンポジット信号を入力とする AD 変換回路と、前記 AD 変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出力する同期分離回路と、前記 AD 変換回路からの出力信号を入力とし YC 分離をおこなう YC 分離回路と、前記 YC 分離回路からのクロマ出力信号を入力とし、後述する第 2 のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述する SIN COS 生成回路からの出力信号とを入力し、それら 2 つの信号を掛け算する第 1 及び第 2 の掛算回路と、前記第 1 の掛算回路からの出力信号を入力とし、その高調波成分を落とす第 1 のローパスフィルター回路と、前記第 2 の掛算回路からの出力信号を入力とし、その高調波成分を落とす第 2 のローパスフィルター回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第 1 のローパスフィルター回路からの出力信号を累積する第 1 のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第 2 のローパスフィルター回路からの出力信号を累積する第 2 のバースト期間累積回路と、前記第 1 のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができる VCO (Voltage Control Oscillator) 回路と、前記 VCO 回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵 ROM データを読み出して SIN、COS 波を出力する SIN COS 生成回路とを備え、サンプリングクロック周波数を大きく変えることなく NTSC、PAL 方式等の YC 分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路。

【請求項 3】 前記請求項 2 において、ランプ波形回路は入力された制御信号と後述するラッチ回路からの出力信号を加算する加算回路と、前記加算回路からの出力信号を入力されるクロック信号によりラッチするラッチ回路と、前記加算回路からの出力信号を入力とし、その信号を割り算する割算回路とを備え、少ない回路構成にてランプ波形の周波数を可変できるランプ波形回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、サンプリングクロック周波数を大きく変えることなく NTSC、PAL 方式等の YC 分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路に関するものである。

## 【0002】

【従来の技術】近年、クロック発生回路は、マルチカラーデコーダー回路を構成する際に無くてはならない回路として重要視されている。

【0003】以下、図面を参照しながら、従来のクロック発生回路の一例について説明を行う。

【0004】図 3 は、特開平 11-8857 号公報で提案されているクロック発生回路のブロック構成図を示すものである。図 3 のブロック構成図において 1101 は周波数が 27MHz のクロック 1102 を発生するクロック発生器、1103 はアナログ搬送色信号の入力端子、1104 は入力端子 1103 から入力されたアナログ搬送色信号をクロック 1102 でサンプリングして 8 ビットのデジタルデータに変換する A/D 変換器である。

【0005】1105 は A/D 変換器 1104 の出力と正弦波発生手段 1112 の出力をクロック 1102 毎に乗算したあと高域周波数成分を除去して間引き処理を行い 6.75MHz レートの B-Y 信号を出力する復調手段、1106 は A/D 変換器 1104 の出力と余弦波発生手段 1113 の出力をクロック 1102 毎に乗算したあと高域周波数成分を除去して間引き処理を行い 6.75MHz レートの R-Y 信号を出力する復調手段である。

【0006】1107 は復調手段 1105 の B-Y 信号出力の出力端子、1108 は復調手段 1106 の R-Y 信号出力の出力端子、1202 は 2 つの復調手段 1105、1106 の出力を入力としてカラーバースト期間を平均値処理して位相ずれ量を出力する NTSC 用の位相補償手段、1203 は 2 つの復調手段 1105、1106 の出力を入力としてカラーバースト期間を平均値処理して位相ずれ量を出力する PAL 用の位相補償手段である。

【0007】1204 は前記 NTSC 用の位相補償手段 1202 と PAL 用の位相補償手段 1203 とを切り替える切換手段、1110 は切り替え手段 1204 の出力をクロック 1102 毎に加算して位相情報を出力する位相発生手段、1111 は位相発生手段 1110 の出力をまるめ処理し 10 ビットの位相情報を出力するまるめ手段である。

【0008】1112、1113 は正弦波発生手段と余弦波発生手段であって、それぞれ ROM で構成され、まるめ手段 1111 の出力をアドレス入力としクロック 1102 毎に 8 ビットの正弦波および余弦波を上記したように第 1、第 2 の復調手段 1105、1106 に出力す

る。

【0009】以上のように構成されたクロック発生回路について、以下その動作について説明する。

【0010】まず、NTSC、PAL動作切り替え信号1201を入力し、NTSC用とPAL用の2つの位相補償手段1202、1203を備える。そして、NTSC動作時はNTSC用の位相補償手段1202の出力、PAL動作時はPAL用の位相補償手段1203の出力が切り替え手段1204で切り替えて出力される。

【0011】位相発生手段1110は切り替え手段1204の出力によって1クロック当たりの位相進み量に変化するデジタルのVCOを構成する。位相発生手段1110の出力は一旦、まるめ手段1111でまるめ処理してビット数を減らし、正弦波発生手段1112と余弦波発生手段1113で正規の検波軸に一致した基準副搬送波（正弦波および余弦波）を発生する。

【0012】この結果、入力端子1103から入力されたアナログ搬送色信号が正規の検波軸で復調され出力端子1107、1108にR-Y信号とB-Y信号を得る。また、正弦波発生手段1112と余弦波発生手段1113は1周期分のデータをテーブルで持つ必要はなく、1/4周期分の小容量のテーブル（257ワード）と簡単な演算回路によって種々の位相を有する基準副搬送波（正弦波および余弦波）を発生する。

【0013】

【発明が解決しようとする課題】しかしながら上記のような構成では、次のような問題点を有している。サンプリングクロックはクロック発生器1101によって供給されるが、これは入力信号のバースト及びラインにロックしたクロックではないため、特にNTSCでの3次元YC分離をおこなうことができない。

【0014】理由は基本的に3次元YC分離をおこなうためには、クロマ信号の強い相関性を利用して1フレーム前後の信号を加減算してYC分離しているため、入力された信号のバーストにロックしたクロックでないと、1フレーム前後の信号を加減算してもYC分離を正確におこなうことはできない。また、PALにしてもバーストにロックしたクロックであれば、ラインメモリーを使ったYC分離を簡単におこなうことができるが、従来例ではそれが困難になる。

【0015】また、バーストにロックしたクロックをつくるにしてもサブキャリアの整数倍のクロックをつかってそれをクロックとすると、例えばPAL方式におけるサンプリング周波数は4.43MHz×4=17.72MHz、NTSC方式におけるサンプリング周波数は3.58MHz×4=14.32MHzという事になる。

【0016】このようにサンプリング周波数が変わると図6に示すような巡回型デジタルフィルターの特性が変わってしまうことになる。図6のような巡回型のデジ

タルフィルターはシステム内に多く使っているため、方式毎にゲインコントロール回路603のゲイン係数を変える必要があり、回路構成がより複雑になるという問題点がある。

【0017】ここで、図6は従来例の問題点を説明するための動作説明図であり、601は加算回路、602は入力信号を遅延させるディレイ回路、603は入力された信号の振幅を調整するゲインコントロール回路である。これらを図6のように構成すると、巡回型のデジタルフィルターが構成され、ゲインコントロール回路603のゲイン係数、ディレイ回路602のディレイ量によってそのデジタルフィルターの特性が変化するのである。

【0018】

【課題を解決するための手段】上記問題点を解決するために本発明のクロック発生回路は、コンポジット信号を入力とするAD変換回路と、前記AD変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出力する同期分離回路と、前記AD変換回路からの出力信号を入力としYC分離をおこなうYC分離回路と、前記YC分離回路からのクロマ出力信号を入力とし、後述する第2のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述するSINCOS生成回路からの出力信号とを入力する。

【0019】そして、それら2つの信号を掛け算する第1及び第2の掛算回路と、前記第1の掛算回路からの出力信号を入力とし、その高調波成分を落とす第1のローパスフィルター回路と、前記第2の掛算回路からの出力信号を入力とし、その高調波成分を落とす第2のローパスフィルター回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第1のローパスフィルター回路からの出力信号を累積する第1のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第2のローパスフィルター回路からの出力信号を累積する第2のバースト期間累積回路と、前記第1のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO（Voltage Control Oscillator）回路と、前記VCO回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路を備えたものである。

【0020】

【発明の実施の形態】本発明の請求項 1 に記載の発明はサンプリングクロック周波数を大きく変えることなく NTSC、PAL 方式等の YC 分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路であり、サンプリングクロックをカウントアップする際に、制御信号に応じて出力するランプ波形の周波数を制御できるランプ波形回路により、サンプリング周波数をサブキャリア周波数の任意倍に設定できるという作用を有する。

【0021】本発明の請求項 2 に記載の発明はコンポジット信号を入力とする AD 変換回路と、前記 AD 変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出  
10 力する同期分離回路と、前記 AD 変換回路からの出力信号を入力とし YC 分離をおこなう YC 分離回路と、前記 YC 分離回路からのクロマ出力信号を入力とし、後述する第 2 のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振  
幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述する SINCOS 生成回路からの  
20 出力信号とを入力し、それら 2 つの信号を掛け算する第 1 及び第 2 の掛算回路と、前記第 1 の掛算回路からの出力信号を入力とする。

【0022】そして、その高調波成分を落とす第 1 のローパスフィルター回路と、前記第 2 の掛算回路からの出力信号を入力とし、その高調波成分を落とす第 2 のローパスフィルター回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第 1 のローパスフィルター回路からの出力信号を累積する第 1 のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第 2 のローパスフィルター回路からの出力信号を累積する第 2 のバースト期間累積回路と、前記第 1 のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができる VCO (Voltage Control Oscillator) 回路と、前記 VCO 回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵 ROM データを読み出して SIN、COS 波を出力する SINCOS 生成回路とを備え、サンプリングクロック周波数を大きく変えることなく NTSC、PAL 方式等の YC 分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路であり、サンプリングクロックをカウントアップする際に、制御信号に応じて出力するランプ波形の周波数を制御できるランプ波形回路により、サンプリング周波数をサブキャリア周波数の任意倍に設定できるという作  
50

用を有する。

【0023】本発明の請求項 3 に記載の発明は前記請求項 2 において、ランプ波形回路は入力された制御信号と後述するラッチ回路からの出力信号を加算する加算回路と、前記加算回路からの出力信号を入力されるクロック信号によりラッチするラッチ回路と、前記加算回路からの出力信号を入力とし、その信号を割り算する割算回路とを備え、少ない回路構成にてランプ波形の周波数を可変できるランプ波形回路であり、制御信号を動かす事により出力されるランプ波形の周波数を可変できるという作用を有する。

【0024】以下本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態 1) 図 1 は本発明の第 1 の実施例におけるクロック発生回路のブロック構成図を示すものである。図 1 において、101 はコンポジット信号を入力とする AD 変換回路、102 は AD 変換回路 101 の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出  
20 力する同期分離回路、103 は AD 変換回路 101 からの出力信号を入力とし YC 分離をおこなう YC 分離回路、105 は YC 分離回路 103 からの出力信号と、基準信号 119 を入力とし、後述するバースト期間累積回路 110 からの制御信号と基準信号 119 とを比較して、基準信号のほうが大きい場合はゲイン調整回路 105 から出力するクロマ信号のレベルを大きくし、基準信号のほうが小さければ出力するクロマ信号のレベルを小さくするように動作するゲイン調整回路である。

【0025】106 はゲイン調整回路 105 からの出力信号と後述する SINCOS 生成回路 112 からの SIN 出力信号とを入力し、それら 2 つの信号を掛け算する掛算回路、107 はゲイン調整回路 105 からの出力信号と後述する SINCOS 生成回路 112 からの COS 出力信号とを入力し、それら 2 つの信号を掛け算する掛算回路、108 は掛算回路 106 からの出力信号を入力とし、その高調波成分を落とすローパスフィルター回路、109 は掛算回路 107 からの出力信号を入力とし、その高調波成分を落とすローパスフィルター回路、110 は同期分離回路 102 から出力されるバーストゲートパルス期間において、ローパスフィルター回路 109 からの出力信号を累積し、基準信号 119 との振幅誤差信号を出力するバースト期間累積回路である。

【0026】111 は同期分離回路 102 から出力されるバーストゲートパルス期間において、ローパスフィルター回路 109 からの出力信号を累積し、入力信号と後述する SINCOS 生成回路 112 からの SIN 波との位相誤差信号を出力するバースト期間累積回路、113 はバースト期間累積回路 111 からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができる VCO (Voltage Control  
50

Oscillator) 回路、114はVCO回路113からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップし、更に制御信号を動かすと、出力するランプ波形の周波数を制御できるランプ波形回路である。

【0027】112はランプ波形回路114からのランプ波形をアドレスとし、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路である。

【0028】以上のように構成されたクロック発生回路について、以下図1、図4、図5を用いてその動作を説明する。

【0029】図4はランプ波形回路114の動作を説明する動作説明図であり、図5はSINCOS生成回路112の動作を説明する動作説明図である。まず、コンポジット信号115がAD変換回路101に入力されてデジタル信号に変換され、その信号が同期分離回路102、YC分離回路103に入力される。YC分離回路103から出力されるクロマ信号はゲイン調整回路105に入力されるが、このゲイン調整回路105と掛算回路107とローパスフィルター回路109とバースト期間累積回路110によって、いわゆるACC(Auto Color Control)回路を構成し、基準信号119とバースト期間累積回路110からの出力信号が同じになるようにループ回路が働く。

【0030】その結果ゲイン調整回路105から出力されるクロマ信号のレベルを一定に保つように動作する。また、掛算回路106とローパスフィルター回路108とバースト期間累積回路111とVCO回路113とランプ波形回路とSINCOS生成回路112によって、いわゆるAPC(Auto Phase Control)回路を構成し、SINCOS生成回路112から出力されるSIN波、COS波の周波数を入力されるクロマ信号のサブキャリアと一致させるように動作する。

【0031】このAPC回路の部分をもう少し詳しく説明する。掛算回路106によってゲイン調整回路105から出力されるクロマ信号と、SINCOS生成回路112から出力されるSIN波との位相誤差が出力され、その高調波成分を落とした信号がローパスフィルター108から出力される。その信号の中でバースト期間の信号だけを累積し、抜き取った位相誤差信号がバースト期間累積回路111から出力され、VCO回路113に入力される。

【0032】VCO回路は入力信号のレベルに応じてそのクロック出力信号の周波数を可変できる回路であり、そのクロック信号がそのままAD変換回路101のサンプリングクロックとなる。ランプ波形回路114はVCO回路113からの出力信号をクロックとして入力し、そのクロックをカウントアップするが、その動作を図4にて説明する。

【0033】図4(a)の上段の図においてMAX値とは、カウントアップしたランプ波形がとりうる最大値の事であり、MIN値とはカウントアップしたランプ波形がとりうる最小値のことである。ランプ波形回路114にはランプ波形の周波数を可変させるために制御信号を入力するが、この値は図4(a)の上段の図においてAに相当するデータである。

【0034】ランプ波形回路はAの値を基準値としてクロックをカウントアップし、MAX値までいくと基準値であるAにもどるという動作を続ける。そうすると図4(a)の上段の図に相当する波形が得られる。この波形を大きい値で割算すると図4(a)の中段の図にあるような決まった振幅にほぼ正規化されたランプ波形が出力される事となる。この波形をアドレスデータとしてSINCOS回路に入力すると図4(a)の下段の図にあるようなSIN波が得られる。

【0035】それはSINCOS回路112が図5に示すような入出力関係のROMデータを内蔵しており、図5(a)はSIN波であり、これは掛算回路106に入力させる波形、図5(b)はCOS波を出力であり、掛算回路107に入力させる波形である。ここで制御信号116の値を動かした時のランプ波形回路114の動作が図4(b)であり、制御信号116の値は図4(a)の時よりも大きな値をとるようにしている。

【0036】制御信号116を大きくすると、MAX値までの差が小さくなるためMAX値までに到達する時間が短くなり、その結果ランプ波形の周期が図4(b)の上段図にあるように短くなる。この波形を大きい値で割算すると図4(b)の中段の図にあるような決まった振幅にほぼ正規化されたランプ波形が出力され、これをSINCOS生成回路112に入力すると、図4(b)の下段図にあるような波形が得られる。この波形を掛算回路106、107に入力し、ACC回路、APC回路を構成する。

【0037】以上のように本実施例によれば、制御信号116を動かす事で掛算回路106、107に入力するSIN波、COS波の周波数を換えられるようにすると、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を得ることができる。

(実施の形態2) 図2は本発明の第2の実施例におけるクロック発生回路のブロック構成図を示すものである。図2において、201は制御信号203と後述するラッチ回路202からの出力信号を加算し、キャリアアウトデータは何も処理していない加算回路、202は加算回路201からの出力信号をクロック信号206によりラッチするラッチ回路、205は加算回路201からの出力信号を入力とし、その信号を割り算する割算回路である。

【0038】以上のように構成されたクロック発生回路について、以下図2を用いてその動作を説明する。

【0039】まずラッチ回路202、加算回路201により構成される回路はいわゆるカウンタ回路であり、クロック信号206の立ち上がりエッジ毎に加算回路201からの出力データはカウントアップされる。加算回路201のキャリアウトは何の処理もしないため、加算回路201からの出力データが最大値（加算回路201のビット数が10ビットであれば、最大値は1023となる）になると、次のクロックではその出力データは

制御信号203と同じデータを出力することになる。【0040】つまり、加算回路201の出力信号は図4（a）の上段図の波形になる。この波形を割算回路205に入力し、大きな値にて割算する（具体的には加算回路201からのデータの内、上位ビットだけを出力する）とその出力ランプ波形出力信号204は図4（a）の中段図のように、ランプ波形振幅を正規化したような波形になる。そして、制御信号203を動かすと、加算回路201からの出力データは図4（b）の上段図のようになり、そのデータを割算回路205に入力すると、その出力信号であるランプ波形出力信号204は図4（b）中段図のようになる。

【0041】これをSINCOS生成回路112に通すと、出力信号は図4（b）下段図のようになり、SIN波の周波数を変えることができる。

【0042】なお、第1の実施例においてSINCOS生成回路112は図5（a）、（b）のようにSIN、COSデータを1波長分のデータをそれぞれ持つのもよいし、1/4波長分のSINデータと簡単な演算回路を持ってSIN波、COS波を生成するようにするのもよい。

#### 【0043】

【発明の効果】以上のように本発明はコンポジット信号を入力とするAD変換回路と、前記AD変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出力する同期分離回路と、前記AD変換回路からの出力信号を入力としYC分離をおこなうYC分離回路と、前記YC分離回路からのクロマ出力信号を入力とし、後述する第2のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述するSINCOS生成回路からの出力信号とを入力し、それら2つの信号を掛け算する第1及び第2の掛算回路と、前記第1の掛算回路からの出力信号を入力とし、その高調波成分を落とす第1のローパスフィルター回路と、前記第2の掛算回路からの出力信号を入

力とし、その高調波成分を落とす第2のローパスフィルター回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第1のローパスフィルター回路からの出力信号を累積する第1のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第2のローパスフィルター回路からの出力信号を累積する第2のバースト期間累積回路と、前記第1のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO（Voltage Control Oscillator）回路と、前記VCO回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路を設けることにより、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例におけるクロック発生回路のブロック構成図

【図2】本発明の第2の実施例におけるクロック発生回路のブロック構成図

【図3】従来のクロック発生回路のブロック構成図

【図4】本発明の第1、第2の実施例におけるクロック発生回路の動作説明図

【図5】本発明の第1の実施例におけるSINCOS生成回路の動作説明図

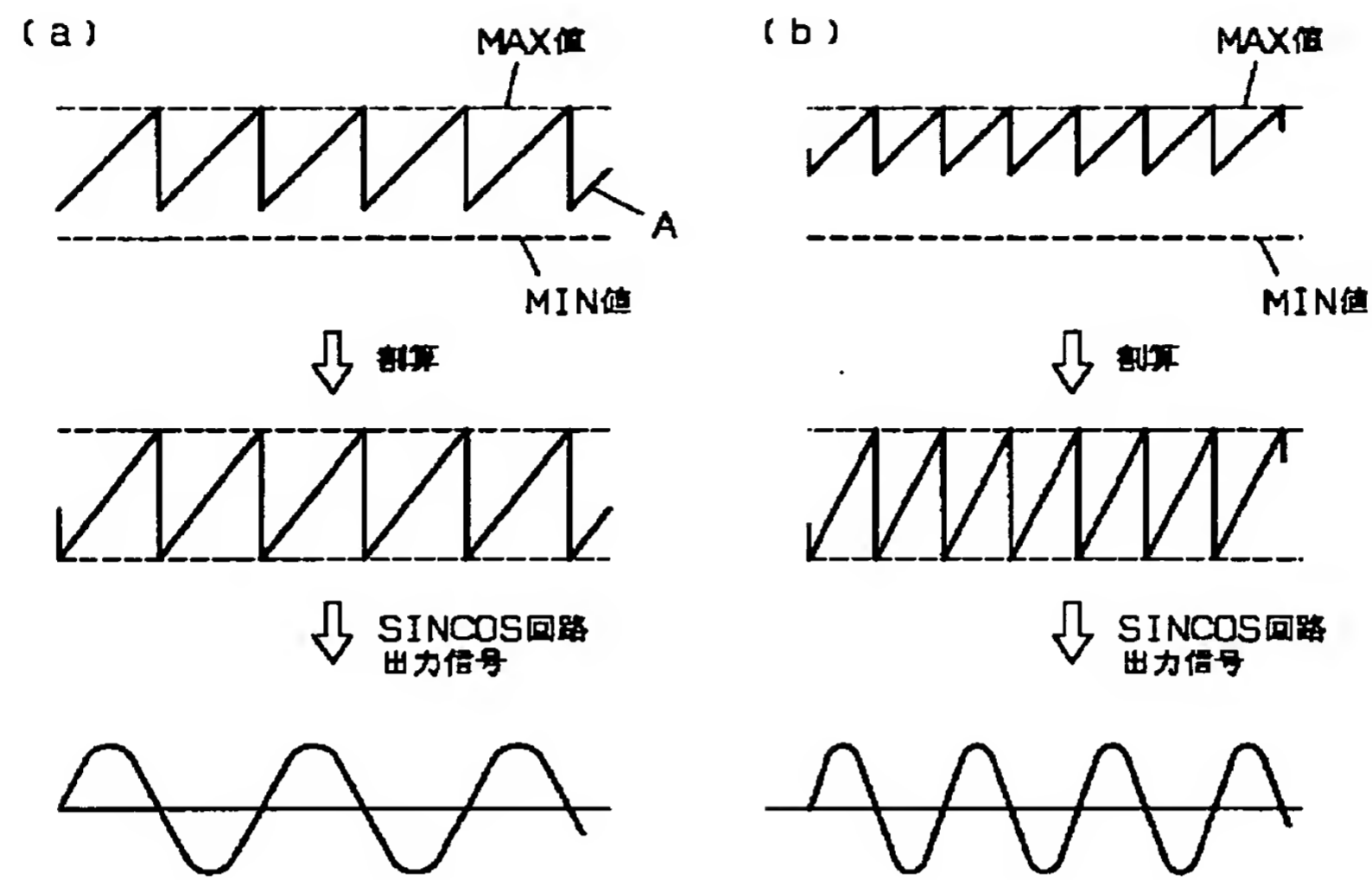
【図6】本発明の第1の実施例におけるクロック発生回路の動作説明図

#### 【符号の説明】

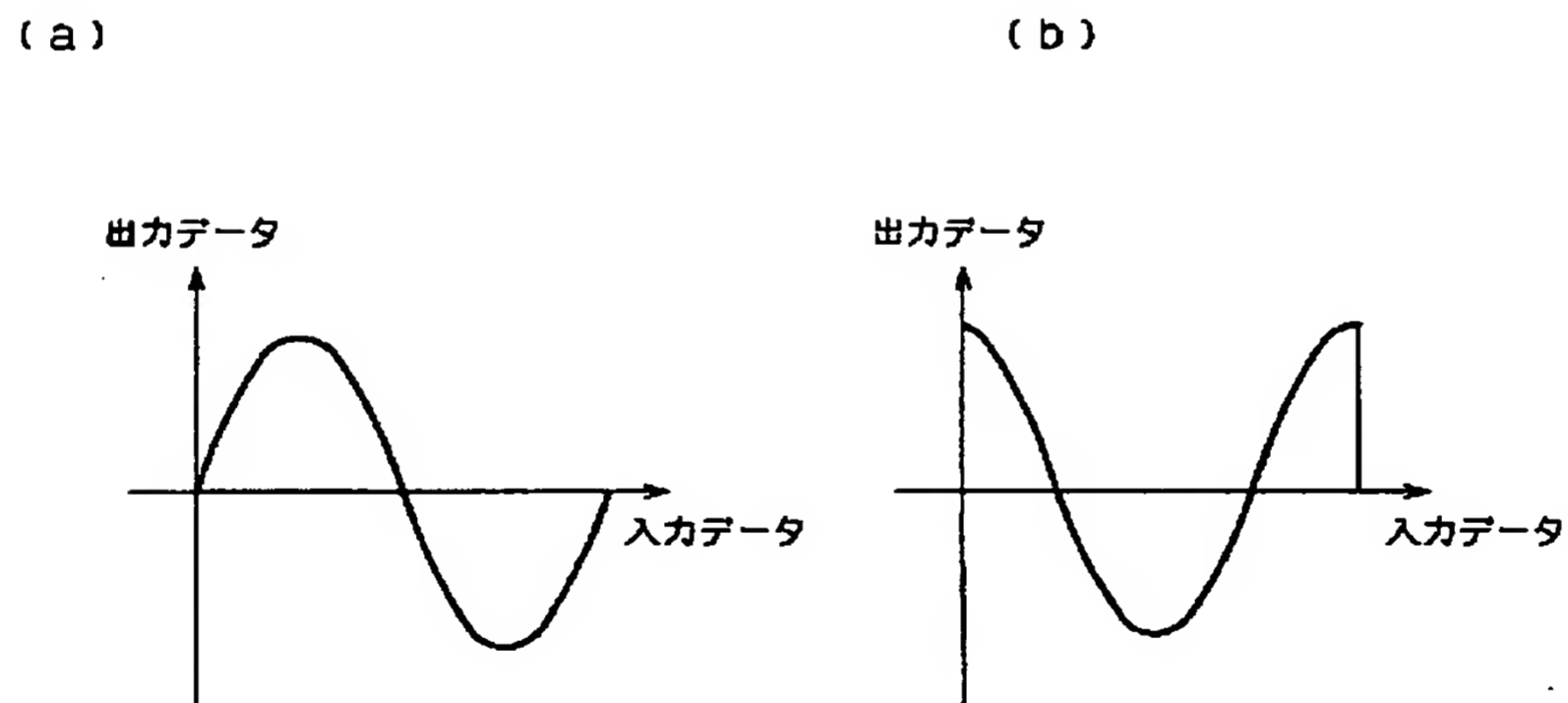
101	AD変換回路
102	同期分離回路
103	YC分離回路
105	ゲイン調整回路
106	掛算回路
107	掛算回路
108	ローパスフィルター回路
109	ローパスフィルター回路
110	バースト期間累積回路
111	バースト期間累積回路
112	SINCOS生成回路
113	VCO回路
114	ランプ波形回路



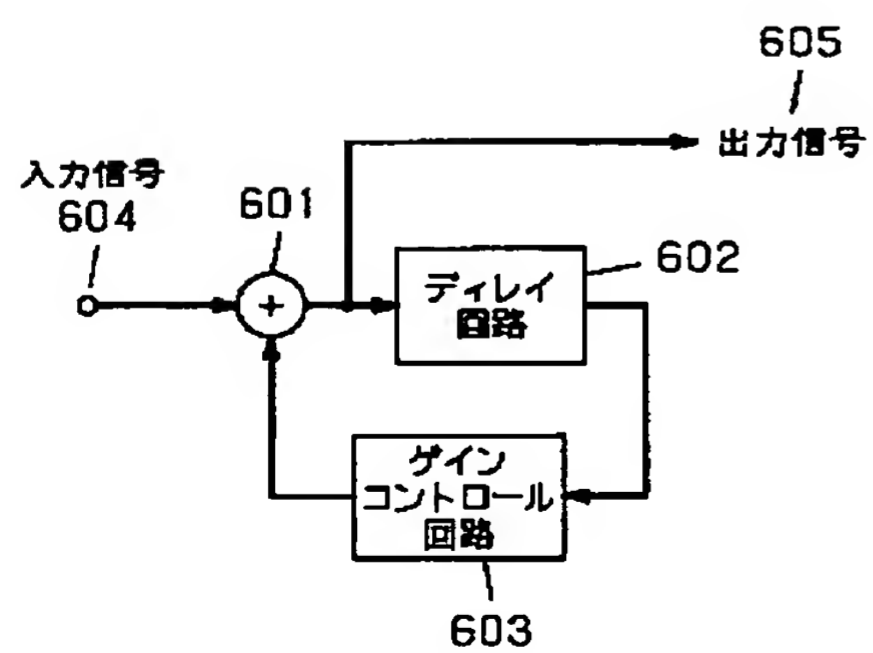
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者	森田 久雄	F ターム(参考)	5C066	AA03	BA02	BA03	CA03	DA03
	大阪府門真市大字門真1006番地	松下電器		DA06	DA08	DB07	DC01	DC06
	産業株式会社内			DC07	DC08	DD07	EA06	EB06
(72)発明者	澁谷 竜一			EF03	EF04	GA02	GA03	GA04
	大阪府門真市大字門真1006番地	松下電器		GA13	GA15	GA19	GA20	HA02
	産業株式会社内			KA12	KA13	KB02	KB05	KC02
(72)発明者	安藤 仁			KE02	KE03	KE05	KE08	KE09
	大阪府門真市大字門真1006番地	松下電器		KE19	KE24	KF03	KG05	
	産業株式会社内							

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**